

FIȘA DISCIPLINEI

1. Date despre program

Instituția de învățământ superior	Universitatea Lucian Blaga din Sibiu
Facultatea	Facultatea de Inginerie
Departament	Departamentul de Calculatoare și Inginerie Electrică
Domeniul de studiu	Calculatoare și tehnologia informației
Ciclul de studii	Studii de licență
Specializarea	CALCULATOARE

2. Date despre disciplină

Denumirea disciplinei	LIMBAJE DE DESCRIERE HARDWARE			
Codul cursului	Tipul cursului	An de studiu	Semestrul	Număr de credite
C.506.SO	Obligatoriu	3	5	5
Tipul de evaluare	Categororia formativă a disciplinei (DF=fundamentală.; DD=domeniu; DS=specialitate; DC=complementară)			
Colocviu	DS			
Titular activități curs	dr.ing. Constantin DIACONESCU			
Titular activități seminar / laborator/ proiect	drd.ing. Eugen VESA			

3. Timpul total estimat

Extinderea disciplinei în planul de învățământ – număr de ore pe săptămână				
Curs	Seminar	Laborator	Proiect	Total
2		2		4
Extinderea disciplinei în planul de învățământ – Total ore din planul de învățământ				
Curs	Seminar	Laborator	Proiect	Total (<i>NOAD_{sem}</i>)
28		28		56

Distribuția fondului de timp pentru studiu individual		Nr.ore
Studiul după manual, suport de curs, bibliografie și notițe		40
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren		10
Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri		7
Tutoriat:		8
Examinări:		4
Total ore alocate studiului individual (<i>NOSI_{sem}</i>)		69
Total ore pe semestru (<i>NOAD_{sem}</i> + <i>NOSI_{sem}</i>)		125

4. Precondiții (acolo unde este cazul)

De curriculum	Proiectarea structurilor logice, Electronică digitală, Programarea calculatoarelor
De competențe	Utilizarea aparaturii electronice de laborator

5. Condiții (acolo unde este cazul)

De desfășurare a cursului	Videoproiector, tablă
De desfășurare a sem/lab/pr	Calculatoare Mediul WARP 6.3 de dezvoltare a alicațiilor VHDL Plăci de dezvoltare a aplicațiilor pe circuite programabile Aparatură electronică de laborator

6. Competențe specifice acumulate

Competențe profesionale	Operarea cu fundamente științifice, ingineresti și ale informaticii. Proiectarea componentelor hardware. Soluționarea problemelor folosind instrumentele științei și ingineriei calculatoarelor. Îmbunătățirea performanțelor sistemelor hardware. Proiectarea sistemelor inteligente
Competențe transversale	Comportarea onorabilă, responsabilă, etică, în spiritul legii pentru a asigura reputația profesiei Identificarea, descrierea și derularea proceselor din managementul proiectelor, cu preluarea diferitelor roluri în echipa și descrierea clară și concisă, verbal și în scris, în limba română și într-o limbă de circulație internațională, a rezultatelor din domeniul de activitate Demonstrarea spiritului de inițiativă și acțiune pentru actualizarea cunoștințelor profesionale, economice și de cultură organizațională

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

Obiectivul general al disciplinei	Inițiere în proiectarea structurilor digitale folosind limbaje de descriere hardware. Inițiere în implementarea sistemelor digitale pe circuite logice programabile.
Obiectivele specifice	Principiile constructive ale circuitelor programabile PAL, CPLD și FPGA. Caracteristicile generale ale limbajului descriptor VHDL. Structura sursei VHDL. Structura mediilor de dezvoltare a proiectelor VHDL. Obiecte de date, instrucțiuni, procese și subprograme în VHDL. Proiectarea structurală cu VHDL. Utilizarea mediilor de dezvoltare a aplicațiilor VHDL. Utilizarea programelor de simulare a aplicațiilor VHDL. Tehnica implementării proiectelor pe circuite programabile. Managementul proiectelor realizate cu limbaje de descriere hardware. Lucrul în echipă

8. Conținuturi

Curs		Nr. ore
Curs 1,2	Principiile constructive ale structurilor logice programabile Implementarea sistemelor digitale pe structuri programabile. Tipuri de conectori	4 ore

	programabili. Structura circuitelor PLA, PAL, CPLD și FPGA. Performanțele circuitelor CPLD și FPGA actuale.	
Curs 3	Evoluția limbajelor de descriere hardware Generații de limbaje descriptoare. Introducere în VHDL. Structura mediilor de dezvoltare a proiectelor VHDL.	2 ore
Curs 4	Structuri fundamentale VHDL Identificatori. Clase și tipuri de date. Operatori. Entități logice. Declararea portului entității logice. Modurile semnalelor. Arhitecturi. Tipuri de instrucțiuni folosite în descrierea arhitecturilor. Strategii de descriere a arhitecturilor.	2 ore
Curs 5	Descrierea structurilor combinaționale Descrierea prin ecuații booleene. Descrierea prin instrucțiuni concurente. Descrierea prin instrucțiuni secvențiale.	2 ore
Curs 6	Descrierea structurilor secvențiale Procese. Conceptul de sensibilitate a unui proces la semnale. Lista de sensibilități a unui proces. Descrierea structurilor secvențiale fundamentale. Caracterizarea semnalului de sincronizare. Inițializarea sincronă. Inițializarea asincronă. Ieșiri cu 3 stări. Porturi bidirectionale. Exemple de proiectare.	2 ore
Curs 7,8	Descrierea automatelor Reprezentarea automatelor în VHDL. Sinteza automatelor prin descrieri comportamentale. Automate Moore. Procedee de generare a ieșirii. Automate Mealy. Exemple de proiectare.	4 ore
Curs 9	Proiectarea ierarhizată a sistemelor digitale mari Conceptul de proiectare ierarhizată. Biblioteci, pachete și itemuri. Componente reutilizabile. Parametri generici și componente generalizate. Exemple de proiectare.	2 ore
Curs 10	Cicluri și subprograme Cicluri simple. Cicluri "for-to". Cicluri "while". Cicluri "for-generate". Funcții și proceduri. Funcții predefinite. Funcții definite de utilizator. Utilizarea funcțiilor în proiectarea cu VHDL. Proceduri. Utilizarea procedurilor în descrierea cu VHDL.	2 ore
Curs 11	Sinteza și implementarea proiectelor realizate în VHDL Restricții impuse de circuitul integrat programabil. Criterii de optimizare a arhitecturilor. Directive de sinteză. Proiectarea iterativă. Optimizarea fluxului de date.	2 ore
Curs 12	Simularea structurilor proiectate cu VHDL Medii și programe de simulare. Simularea interactivă. Simularea prin programe de test. Tablouri de stimuli. Fișiere de stimuli. Generatoare de stimuli. Interpretarea documentației generate de mediile VHDL.	2 ore
Curs 13	Introducere în VeriLog HDL Structuri fundamentale, obiecte de date, instrucțiuni	2 ore
Curs 14	Proiectarea cu VeriLog HDL Proiectarea structurilor combinaționale și secvențiale. Proiectarea automatelor. Proiectarea structurală.	2 ore
Total ore curs:		28 ore
Total ore seminar:		

Laborator		Nr. ore
Lab 1	Prezentarea mediului WARP de dezvoltare a proiectelor VHDL.	2 ore
Lab 2	Proiectarea cu VHDL a unor unități logice programabile.	2 ore
Lab 3	Descrierea în VHDL a multiplexoarelor și demultiplexoarelor	2 ore
Lab 4	Proiectarea cu VHDL a unor decodificatoare de adresă	2 ore
Lab 5	Proiectarea cu VHDL a unor dispozitive aritmetice	2 ore
Lab 6	Descrierea în VHDL a circuitelor basculante bistabile și a registrelor	2 ore
Lab 7	Descrierea în VHDL a unor registre latch adresabile	2 ore
Lab 8	Descrierea în VHDL a numărătoarelor	2 ore
Lab 9	Descrierea în VHDL a automatelor	2 ore
Lab 10	Proiectarea cu VHDL a unor automate	2 ore
Lab 11	Descrierea structurală a sistemelor complexe.	2 ore
Lab 12	Descrierea structurală a unui dispozitiv de reglare automată.	2 ore
Lab 13	Implementarea proiectelor VHDL pe circuite programabile.	2 ore
Lab 14	Test final.	2 ore
Total ore laborator		28 ore

Metode de predare

Prelegere cu suport proiectat pe ecran. Explicații suplimentare la tablă. Interactivitate.	Limba de predare	Română
--	------------------	--------

Bibliografie

Referințe bibliografice recomandate	WAKERLY J.F. – Circuite digitale – principiile și practicile folosite în proiectare, TEORA, Bucurști, 2002
	TOACSE, Gh.,NICULA, D.-Electronică digitală, TEORA, Bucuresti, 1996
	IANA, G., SERBAN, Gh.,IONESCU, L., ANGHELESCU, P. –Programarea cu limbaje de descriere hardware – Aplicatii in limbajul VHDL, Ed.Matrix Rom.,Bucuresti, 2010
	NICULA, D. TOACSE, Gh.-Electronică digitala – vol.II (Limbajul VeriLog), Ed.Tehnica, Bucuresti, 2005
Referințe bibliografice suplimentare	SKAHILL, K. – VHDL for Programmable Logic, Addison-Wesley, London, 1996
	* * * WARP – VHDL Development System – Language Reference manual, CYPRESS Semiconductor Ltd., San Jose-California, 2002

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatorilor reprezentativi din domeniul aferent programului

Discuții cu colegii responsabili de discipline conexe. Discuții cu angajatorii potențiali.

10. Evaluare

Tip activitate	Criterii de evaluare	Metode de evaluare	Ponderea în nota finală	Obs.*
Curs	Evaluare finală	Test scris	40%	CEF
	Prezența la curs		10%	nCPE
Laborator	Evaluare la fiecare ședință de laborator	Probă practică	30%	CEF

	Evaluare finală	Probă practică	20%	CPE
Standard minim de performanță:				
Media peste 5 la evaluarea activității de laborator. Nota peste 5 la colocviu.				

(*) CPE – condiționează participarea la examen; nCPE – nu condiționează participarea la examen; CEF - condiționează evaluarea finală;

Data completării: ...22 septembrie 2020.....

Data avizării în Departament:.....

	Grad didactic, titlul, prenume, numele	Semnătura
Titular disciplină	dr. ing. Constantin DIACONESCU	
Director de departament	prof. univ. dr. ing. Daniel VOLOVICI	