

FIȘA DISCIPLINEI

Denumirea disciplinei :		LIMBAJE DE DESCRIERE HARDWARE			
Codul disciplinei:		390455060611SO41			
Programul de studii:		CALCULATOARE			
Catedra:		Calculatoare si automatizari			
Facultatea:		de Inginerie „Hermann Oberth”			
Universitatea:		„Lucian Blaga” din Sibiu			
Anul de studiu:	III	Semestrul	1	Tipul de evaluare finală	colocviu
Regimul disciplinei (DI=obligatorie/ DO=opțională/DF=liber aleasă):			DI	Numărul de credite:	4
Categorია formativă a disciplinei (DF=fundamentală.; DI=ingineresti; DS=specialitate; DC=complementară)					DS
Total ore din planul de învățământ	4			Total ore pe semestru:	56
Titularul disciplinei:					

Numărul total de ore (pe semestru) din planul de învățământ					
Total ore/ semestru	C	S	L	P	Total
	28		28		56

Obiective:	<p>Inițiere în proiectarea structurilor digitale folosind limbaje de descriere hardware.</p> <p>Inițiere în implementarea sistemelor digitale pe circuite logice programabile.</p>
Competențe specifice disciplinei	<p>1. Cunoaștere și înțelegere:</p> <ul style="list-style-type: none"> • Cunoașterea principiilor constructive ale circuitelor programabile PAL,CPLD si FPGA • Caracteristicile generale ale limbajului descriptor VHDL. • Structura de principiu a sursei VHDL. • Structura mediilor de dezvoltare a proiectelor VHDL. <p>2. Explicare și interpretare:</p> <ul style="list-style-type: none"> • Obiecte de date în VHDL. • Instrucțiuni în VHDL. • Procese și subprograme în VHDL. • Proiectarea structurală cu VHDL. <p>3. Instrumental – aplicative</p> <ul style="list-style-type: none"> • Utilizarea mediilor de dezvoltare a aplicațiilor VHDL. • Utilizarea programelor de simulare aplicațiilor VHDL. • Tehnica implementării proiectelor VHDL pe circuite programabile. <p>4. Atitudinale:</p> <ul style="list-style-type: none"> • Etapele proiectării cu limbaje de descriere hardware. • Lucrul în echipă.

Conținutul tematic (descriptori)	TEMATICA CURSURILOR		
	Nr. crt.	Denumirea temei	Nr. ore
	1.	Principiile constructive ale structurilor logice programabile. Tipuri de conectori programabili. Circuite PLA , PAL, CPLD și FPGA. Implementarea sistemelor digitale pe structuri programabile.	4 ore
	1.	Evoluția limbajelor de descriere hardware. Generații de limbaje descriptoare. Introducere în VHDL. Structura mediilor de dezvoltare a proiectelor VHDL.	2 ore
	2.	Structuri fundamentale VHDL Identificatori. Clase și tipuri de date. Operatori. Entități logice. Declararea portului entității logice. Modurile semnalelor. Arhitecturi. Tipuri de instrucțiuni folosite în descrierea arhitecturilor. Strategii de descriere a arhitecturilor.	2 ore
	3.	Descrierea structurilor combinaționale. Descrierea prin ecuații booleene. Descrierea prin instrucțiuni concurente. Descrierea prin instrucțiuni secvențiale. Procese. Conceptul de senzitivitate a unui proces la semnale. Lista de senzitivități a unui proces.	3 ore
	4.	Descrierea structurilor secvențiale. Descrierea structurilor secvențiale fundamentale. Caracterizarea semnalului de sincronizare. Inițializarea sincronă. Inițializarea asincronă. Ieșiri cu 3 stări. Porturi bidirectionale. Exemple de proiectare.	3 ore
	5.	Descrierea automatelor. Reprezentarea automatelor în VHDL. Sinteza automatelor prin descrieri comportamentale. Automate Moore. Procedee de generare a ieșirii. Automate Mealy. Exemple de proiectare.	4 ore
	6.	Proiectarea ierarhizată a sistemelor mari . Conceptul de proiectare ierarhizată. Biblioteci, pachete și itemuri. Componente reutilizabile. Parametri generici și componente generalizate. Exemple de proiectare.	2 ore
	7.	Cicluri și subprograme. Cicluri simple. Cicluri “for-to”. Cicluri “while”. Cicluri “for-generate”. Funcții și proceduri. Funcții predefinite. Funcții definite de utilizator. Utilizarea funcțiilor în proiectarea cu VHDL. Proceduri. Utilizarea procedurilor în descrierea cu VHDL.	2 ore
	8.	Atribute. Atribute din clasa “valoare”. Atribute din clasa “funcție”. Utilizarea atributelor în proiectarea cu VHDL.	1 oră
	9.	Sinteza și implementarea proiectelor realizate în VHDL Restricții impuse de circuitul integrat programabil. Criterii de optimizare a arhitecturilor. Directive de sinteză. Proiectarea iterativă. Optimizarea fluxului de date.	2 ore
	10.	Simularea structurilor proiectate cu VHDL. Medii și programe de simulare. Simularea interactivă. Simularea prin programe de test. Tablouri de stimuli. Fișiere de stimuli. Generatoare de stimuli.	2 ore
	11.	Interpretarea documentației generate de mediile VHDL.	1 oră
		Total :	28 ore

TEMATICA LABORATORULUI		
1.	Prezentarea mediului WARP de dezvoltare a proiectelor VHDL.	2 ore
2.	Proiectarea cu VHDL a unor unități logice programabile.	2 ore
3.	Descrierea în VHDL a multiplexoarelor și demultiplexoarelor	2 ore
4.	Proiectarea cu VHDL a unor decodificatoare de adresă	2 ore
5.	Proiectarea cu VHDL a unor dispozitive aritmetice	2 ore
6.	Descrierea în VHDL a circuitelor basculante bistabile și a registrelor	2 ore
7.	Descrierea în VHDL a unor registre latch adresabile	2 ore
8.	Descrierea în VHDL a numărătoarelor	2 ore
9.	Descrierea în VHDL a automatelor	2 ore
10.	Proiectarea cu VHDL a unor automate	2 ore
11.	Descrierea structurală a sistemelor complexe.	2 ore
12.	Descrierea structurală a unui dispozitiv de reglare automată.	2 ore
13.	Implementarea proiectelor VHDL pe circuite programabile.	2 ore
14.	14. Test de cunoștințe.	2 ore

Metode de predare / seminarizare	Suport de curs pentru proiectie pe ecran. Explicații suplimentare pe tablă.
----------------------------------	--

Stabilirea notei finale (procentaje)	- răspunsurile la examen/colocviu(evaluare finală)	50
	- teste pe parcursul semestrului	10
	- răspunsurile finale la lucrările practice de laborator	40
	- activități gen teme/referate/eseuri/traduceri/proiecte etc.	-
	- teme de control	-
	- alte activități(<i>precizați</i>).....	
	- TOTAL	100%

Evaluarea finală va cuprinde :	
-Proba practica in laborator, constand in rezolvarea unei teme de proiectare la prima vedere.	
-Un test de cunostinte teoretice.	
Cerințe minime pentru nota 5	Cerințe pentru nota 10
-Cunostinte teoretice satisfacatoare acoperind minim 80% din materia predata.	-Cunostinte foarte bune acoperind integral materia predata.
-Abilitatea de a redacta si compila o sursa VHDL pentru o aplicatie simpla.	-Abilitatea de a proiecta si simula o structura digitala de complexitate medie.
-Efectuarea a minim 70% din lucrarile de laborator.	-Efectuarea integrala si cu rezultate foarte bune a lucrarilor de laborator
TOTAL ore studiu individual (pe semestru) = 50	

Bibliografia	Minimală obligatorie: <ul style="list-style-type: none"> • TOACSE, Gh.,NICULA, D.-Electronică digitală, TEORA, Bucuresti, 1996 • WAKERLY J.F. – Circuite digitale – principiile și practicile folosite în proiectare, TEORA, Bucurști, 2002
	Complementară: <ul style="list-style-type: none"> • SKAHILL, K. – VHDL for Programmable Logic, Addison-Wesley, London, 1996 • * * WARP – VHDL Development System – Language Reference manual, CYPRESS Semiconductor Ltd., San Jose-California, 2002 • * * * XILINX – VHDL-Metamor User’s Guide, Metamor, 2001
<p>Lista materialelor didactice utilizate în procesul de predare: Curs : PC, videoproiector Laborator : calculatoare, Mediul Warp6.3 (Cypress), platforme de dezvoltare a aplicațiilor pe CPLD (Cypress), analizoare logice, aparatura electronica de laborator.</p>	

Coordonator de Disciplină	Grad didactic, titlu, prenum, nume	Semnătura
	sef lucr.dr.ing. Constantin DIACONESCU	